

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136086

(43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H01L 21/28
H01L 21/3205

(21)Application number : 04-103975

(71)Applicant : MOTOROLA INC

(22)Date of filing : 31.03.1992

(72)Inventor : JONES JR ROBERT E
KAWASAKI HISAO

(30)Priority

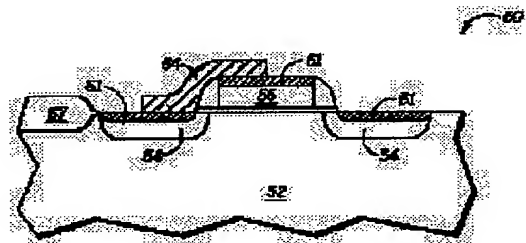
Priority number : 91 677945 Priority date : 01.04.1991 Priority country : US

(54) SEMICONDUCTOR-MANUFACTURING PROCESS FOR PROVIDING LOCAL INTERCONNECT STRUCTURE

(57)Abstract:

PURPOSE: To obtain a new process for forming a local interconnect structure in a semiconductor device.

CONSTITUTION: A process consists of a stage for providing two conductive regions 54 and 56, that are to be connected electrically to a semiconductor device, a stage for depositing a metal film, for example, titanium film on a semiconductor substrate, and a stage for forming a strap for connecting two conductive regions by patterning a metal film and a stage for forming an interconnect 66 of a conductive metal nitride, by thermally nitriding a strap after the patterning of the metal film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

THIS PAGE BLANK (USPTO)

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 5 - 1 3 6 0 8 6

(43) 公開日 平成 5 年 (1 9 9 3) 6 月 1 日

(51) Int. Cl. ⁵

H01L 21/28

21/3205

識別記号

301

庁内整理番号

T 7738-4M

F I

技術表示箇所

7353-4M

H01L 21/88

B

審査請求 未請求 請求項の数 2 (全 7 頁)

(21) 出願番号 特願平 4 - 1 0 3 9 7 5

(22) 出願日 平成 4 年 (1 9 9 2) 3 月 3 1 日

(31) 優先権主張番号 6 7 7 9 4 5

(32) 優先日 1 9 9 1 年 4 月 1 日

(33) 優先権主張国 米国 (U S)

(71) 出願人 3 9 0 0 0 9 5 9 7

モトローラ・インコーポレイテッド

MOTOROLA INCORPORATED

アメリカ合衆国イリノイ州シヤンパーグ、
イースト・アルゴンクイン・ロード 1 3 0
3

(72) 発明者 ロバート・イー・ジョーンズ・ジュニア

アメリカ合衆国テキサス州オースティン、
ブルックウッド・サークル 1 1 9 0 9

(72) 発明者 ヒサオ・カワサキ

アメリカ合衆国テキサス州オースティン、
パーカー・リッジ・ドライブ 5 6 0 3

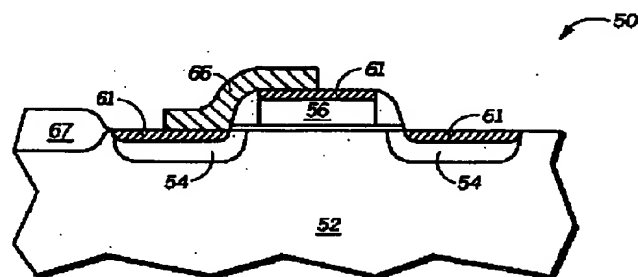
(74) 代理人 弁理士 大貫 進介 (外 1 名)

(54) 【発明の名称】 ローカルインターコネクト構造を設けるための半導体製造プロセス

(57) 【要約】

【目的】 半導体装置にローカルインターコネクト構造を形成するための新規なプロセスを得る。

【構成】 半導体装置に電氣的に接続されるべき 2 つの導電性領域 (5 4 、 5 6) を設ける段階と、前記半導体基板上に金属膜 (6 2) 、例えばチタン膜を堆積させる段階と、前記金属膜をパターニングして前記 2 つの導電性領域を接続するストラップ (6 4) を形成する段階および前記金属膜のパターニングの後に前記ストラップを熱窒化して導電性金属窒化物のインターコネクト (6 6) を形成する段階からなるプロセスを提供する。



1

【特許請求の範囲】

【請求項 1】 半導体装置 (50) にローカルインターコネクト構造を形成するためのプロセスであって、次の順番に処理することを特徴とするプロセス：前記半導体装置に電氣的に接続されるべき 2 つの導電性領域 (61) を設ける段階；前記半導体装置にチタン膜 (62) を堆積させる段階；前記チタン膜をパターニングして前記 2 つの導電性領域を電氣的に接続するストラップ (64) を形成する段階；および前記ストラップを熱窒化して導電性窒化チタンのインターコネクト (66) を形成する段階。

【請求項 2】 半導体装置 (50) にローカルインターコネクト構造を形成するためのプロセスであって：前記半導体装置に電氣的に接続されるべき 2 つのシリコン領域 (54、56) を設ける段階；前記 2 つのシリコン領域のそれぞれの上にシリサイド領域 (61) を形成する段階；前記半導体装置に金属膜 (62) を堆積させる段階；前記金属膜をパターニングして前記 2 つのシリサイド領域を接続するストラップ (64) を形成する段階；および前記金属膜のパターニングの後に前記ストラップを熱窒化して導電性窒化物インターコネクト (66) を形成する段階；からなることを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は一般に半導体の製造プロセスに関し、さらに詳細には半導体装置にローカルインターコネクト構造を設けるためのプロセスに関する。

【0002】

【従来の技術】 ローカルインターコネクトは半導体ダイ上の 2 つの導電性エレメントを電氣的に接続するために使われる。「ローカル」という語は 2 つのエレメントが互いに近接していることを意味する。言い換えれば、2 つの導電性エレメントが相対的に近接しているということである。典型的にはローカルインターコネクトによって接続されたエレメントは半導体基板内のドープ領域か、または基板に被着した導電構造である。ほとんどの場合、半導体基板は単結晶シリコンウェハであり、被着導電構造はドープされているかまたはドープされていない多結晶シリコン、または金属シリサイド (Metal Silicide) から構成される。2 つの導電性エレメントを接続するローカルインターコネクトは通常チタンから構成される。

【0003】 図 1 乃至図 3 には半導体装置にローカルインターコネクトを設けるための従来の方法が図示されている。それぞれの図において、半導体装置 10 は部分横断面図として図示されている。図 1 に示されるように、半導体装置 10 はシリコンから構成される基板 12 を有している。ドープ領域 14 は従来の方法によって基板 12 中に形成され、N 伝導型または P 伝導型を持つ。ゲート 16 のような導電性構造が基板 12 上に形成される。

2

ここで、ゲートは多結晶シリコンから出来ている。ゲート 16 は通常ゲート酸化物 17 によって基板 12 から分離されており、さらに絶縁物サイドウォールスペーサなどによってさらに基板から絶縁されている。サイドウォールスペーサ 18 は典型的には二酸化シリコンまたは窒化シリコンによって形成される。

【0004】 ローカルインターコネクトを形成するために、まずチタン膜 20 を、図 1 に示されるようにゲート 16 およびドープ領域と接触するように、装置 10 の上に堆積させる。次にチタン膜 10 をアンモニア (NH_3) または窒素 (N_2) 雰囲気中で熱反応させることで窒化チタン (TiN) 膜 22 に変化させる。窒化チタン膜 22 は図 2 に図示されるように異なった斜線を施すことによって図 1 のチタン膜 20 と区別されている。この熱窒化処理の間、チタン膜はゲート 16 およびドープ領域 14 といった近接するシリコン領域とも同様に反応してチタンシリサイド (TiSi_2) 領域 24 が形成される。シリサイドは多結晶シリコンの面抵抗を減らし、さらに接触抵抗を改良するので、チタンシリサイド (TiSi_2) 領域 24 は窒化反応の望ましい二次生成物である (歴史的には、図 1、図 2 のプロセスは当初 TiSi_2 を形成する目的で使用されたもので、 TiSi_2 形成後は選択性ウェットケミカルエッチングを用いて TiN を全て除去していた)。図 3 に図示されているように、TiN 膜 22 をパターニングすることでローカルインターコネクト 26 が設けられる。ローカルインターコネクト 26 は「ストラップ」と呼ばれることもある。TiN ローカルインターコネクト 26 は導電性の窒化金属であり、したがってゲート 16 をドープ領域 14 のうちの 1 つに電氣的に接続することができる。

【0005】 ローカルインターコネクトを形成するために使われている現存のプロセスは様々な製造上の問題を抱えている。例えば前述のプロセスには、チタンシリサイドの領域部分にダメージを与えずに TiN 膜をエッチングしてストラップを形成するのが難しいという問題点がある。いくつかのウェットエッチングによって TiN を TiSi_2 から選択的に除去できるということが実証されているが、これらのエッチングでは絶縁領域の上に形成された特定のチタン化合物をゆっくりと除去できるにすぎない。窒化反応の間、チタンは窒素および下部のシリコンと反応するだけでなく、サイドウォールスペーサ 18 やフィールド酸化物領域 28 のような下部の絶縁体領域とも反応する。この反応によって、図 3 に示されるように絶縁体領域の上にチタン化合物 29 が形成され、しかもこの化合物はストラップをパターニングする際に容易に除去することはできない。絶縁体領域の上に形成されるチタン化合物の正確な化学式がわからないとしても、この化合物が導電性を持ちうるものであり、したがって半導体装置内のエレメント間を短絡する可能性があるということはおわっている。ウェットエッチングの時間を延

長することによってこのような不所望なチタン化合物を取り除くことができるが、同時にデバイスの他の領域に有害な影響を与えてしまう可能性がある。たとえば、 TiSi_2 領域の一部をエッチングしてしまう可能性がある。さらにウェットエッチングでは TiN は等方性エッチングされるので TiN のマスクされた、または保護された領域、別の言葉でいえばエッチングの後に残りローカルインターコネクタとして機能する領域に長時間のエッチングによって無視できない大きさのアンダーカットが発生してしまう。ドライエッチングを用いる目的はそのようなアンダーカットの問題を生じさせずに異方性エッチングを行うことにある。したがって半導体製造業界全体の傾向として、ウェットエッチングからドライエッチングに移行しつつある。その大きな理由としては VLSI (大規模集積回路) および ULSI (超大規模集積回路) の製造においてはドライエッチングがより適しているからである。言い換えれば、ドライエッチングはより微細な加工をするのに適しているということである。 TiSi_2 から TiN を選択的に除去するのに好適な、容易に実現可能なドライエッチングはまだ見つかっていない。

【0006】ローカルインターコネクタ構造を設けるための方法で他に知られたものとしては、 TiSi_2 領域の代わりにコバルトシリサイド (CoSi_2) を用いる方法がある。チタン膜を堆積させる前にコバルト膜を堆積させ、下部の近接したシリコン領域と反応させて CoSi_2 を形成する。コバルト膜の内で反応しなかった部分は取り除かれ、前述の方法で TiN のストラップが形成される。 TiSi_2 の代わりに CoSi_2 領域を用いる利点の 1 つはドライエッチング剤を使った TiN のパターニングの際に CoSi_2 が良好なエッチング停止膜となるということである。しかし CoSi_2 を使ってもチタン膜の窒化反応の際に絶縁体領域の上に形成される不所望なチタン化合物の問題を解決することはできない。チタンと絶縁材料との不所望な反応の問題を防ぐために TiN を半導体装置の上にスパッタリングして、その後ストラップを形成するようにパターニングすることが可能である。スパッタリングは熱窒化反応の際に使われる温度よりも非常に低い温度で実行されるので、チタンは絶縁体領域とは反応しない。しかしスパッタリングによって堆積された TiN 膜から形成されたストラップは高い接触抵抗を持つことがよくあり、望ましくない。さらに、スパッタリングによって堆積された TiN ストラップは、デバイス内において、またシリコンウェハ基板上の複数のデバイス間においてもその接触抵抗の値に大きなばらつきがあることがわかっている。

【0007】

【解決すべき課題】したがって、半導体装置を製造するための改良されたプロセス、さらに詳細には、半導体装置の他の領域に損傷を与えずにローカルインターコネクタを選択的にパターニングできる半導体装置のローカルインターコネクタ構造の製造方法であって、ドライエッ

チング剤を用いてローカルインターコネクタをパターニングでき、半導体装置上に不所望な化合物を生成せず、実質的に均一で低い接触抵抗を持つローカルインターコネクタ構造を形成することができる方法が必要である。

【0008】

【課題を解決するための手段】本発明は前記の課題を解決し、したがって前記従来のプロセスにおける問題点を克服する。ある実施形態においては、半導体装置に電気的に接続されるべき 2 つの導電性領域を設け、前記半導体装置に金属膜を堆積させ、前記金属膜をパターニングして前記 2 つの導電性領域を電気的に接続するストラップを形成する。前記金属膜をパターニングしてストラップを形成した後、前記ストラップを熱窒化して導電性窒化金属のローカルインターコネクタを形成する。

【0009】

【実施例】本発明は前述のプロセスにおいて知られていた問題点を解決した、半導体装置にローカルインターコネクタ構造を形成するための方法を提供する。特に本発明の方法はローカルインターコネクタをパターニングする際のエッチングの選択性に伴う問題、およびデバイス内の接触抵抗の増加を防ぎながら窒化反応中に起こる不所望な反応に関する問題を解決する。本発明の方法は上記の問題を解決するためにローカルインターコネクタを形成する金属膜を熱窒化する前に、該金属膜をパターニングするという方法をとる。金属を窒化金属に変換する前に金属膜をパターニングすることで金属は絶縁領域から除去されるので、金属が絶縁材料と反応して不所望な金属化合物を形成することはない。エッチングの選択性は金属からローカルインターコネクタを形成する金属とは異なるシリサイドの領域を形成することによって実現される。窒化金属はスパッタ堆積プロセスではなく熱プロセスによって形成されるので接触抵抗は低く抑ええられる。

【0010】図 4 乃至図 6 は、本発明に従ってローカルインターコネクタ構造を形成するためのプロセスを半導体装置 (半導体デバイス) の断面図を用いて表わしたものである。図 4 には、半導体装置 50 の関連部分を図示してある。半導体装置 50 は基板 52 の一部分に形成されている。基板 52 は一般的には単結晶シリコンウェハである。ドープ領域 54 は従来のドーピング技術、例えばイオンインプランテーションを用いて基板 52 内に形成される。ここでドーピングとは不純物原子を半導体材料中に注入することを意味している。図 4 のドープ領域 54 は例えば MOS トランジスタのソース・ドレイン電極として動作する。ゲート 56 もまた装置 50 の一部分として形成される。ゲート 56 は多結晶シリコンを用いて従来の方法で形成される。ゲートはゲート酸化膜 58 によって基板 52 から絶縁され、サイドウォールスペーサ 59 などによってドープ領域 54 から絶縁される。ドープ領域、ゲート、ゲート酸化物およびサイドウ

オールスペーサの形成は当該技術分野においては周知の技術である。これらの構成要素を形成するための様々な方法が、本発明に関してもまた用いられる。

【 0 0 1 1 】 図 4 の装置 5 0 にはシリサイド領域 6 1 が含まれている。シリサイド領域はシリサイド化と呼ばれる周知のプロセスによって形成される。シリサイド化には金属膜を半導体装置上に堆積させる工程が含まれる。金属膜のシリコンと接している部分、例えばゲート 5 6 およびドープ領域 5 4 と接している部分が特定の温度条件下で反応してシリサイド領域を形成する。金属膜のシリコンと接していない部分は反応せず、そのまま金属として残る。金属膜の未反応部分は選択性のエッチング剤を使うことでシリサイド領域に影響を与えずにデバイスから除去することができる。図 4 に示されるように、金属膜の未反応部分は取り除かれ、シリサイド領域 6 1 がデバイスの一部として残っている。多くの金属がシリサイド化可能であり、その中にはチタン、コバルトが含まれる。理由はあとから説明するが、シリサイド 6 1 はコバルト膜とシリコンの反応によって形成するのが好適である。

【 0 0 1 2 】 シリサイド領域 6 1 を形成し、未反応の金属を全て取り除いて、図 4 に示されるようにチタン膜をデバイス上に堆積させる。このチタン膜は周知の技術、例えばリソグラフィおよびエッチングを用いてパターンニングし、図 5 に示されるようにチタンのストラップ 6 4 を形成する。チタン膜をパターンニングするときに重要なのは半導体デバイス 5 0 の他の部分に悪影響を与えないことである。チタン膜を半導体デバイスの他の部分から選択的にエッチングするのは様々なエッチング剤で実現可能である。例えば、体積比で 1 : 1 の Cl_2 ガスと HBr ガスとからなるドライエッチング剤を 1 0 0 mTorr の圧力と、3 5 0 ワットの電力で動作するプラズマエッチングシステムで使用することで実現可能である。この Cl_2 / HBr エッチング剤はチタンを選択的にエッチングし、しかも下部のコバルトシリサイド (CoSi_2) 領域には悪影響はあたえない。一方で、もしシリサイド領域 6 1 がチタンシリサイド (TiSi_2) で形成されていたとすると、周知ではあるがより複雑なエッチング技術を使用する必要がある。これらのエッチング技術の中には、チタンストラップ 6 4 にしばしばアンダーカットを生じさせるウェットエッチングも含まれている。アンダーカットはストラップの機能に有害な影響を与えるので、本発明の実施においては CoSi_2 が好適である。

【 0 0 1 3 】 チタン膜をパターンニングしてチタンストラップ 6 4 を形成した後、半導体デバイス 5 0 は熱窒化処理されてチタンストラップ 6 4 は窒化チタンに変換される。図 5 に示されるように、窒化プロセスは半導体デバイス 5 0 をアンモニア (NH_3) または窒素 (N_2) 雰囲気中に露曝 (さらす) する処理を含む。窒素はチタンストラップ 6 4 中に拡散し、図 6 に示されるように窒化チタン

ストラップ 6 6 を形成する。窒化チタンストラップ 6 6 は導電性を有し、ゲート 5 6 を導電性のシリサイド領域 6 1 を介してドープ領域 5 4 のうちの 1 つに電気的に接続する。このストラップを形成するためにチタンを窒化するのに適した好適熱プロセスは、 NH_3 雰囲気中で 3 0 分間、5 0 0 °C でのアニーリングである。従来からチタンを窒化するのに、 NH_3 雰囲気中 5 4 5 °C で 1 5 秒間、窒素雰囲気中 7 0 0 °C で 2 0 秒間といった急速熱プロセスが使われているが、このプロセスも本発明の方法での使用に適している。本発明の方法に利用するときには、温度や処理時間は上とは違う条件で実施することが可能である。例えば、処理時間は 1 0 秒から 6 0 分まで、温度はおおよそ 4 5 0 °C から 7 0 0 °C の間で変化させることができる。ここでアニール温度を上昇させるとチタンストラップ 6 4 とシリサイド領域 6 1 との反応がより進むことを認識しておくことが重要である。チタンとシリサイドとの間である程度の反応が起こるのはこれらの間に良好な電気的接触をもたらすために望ましいものであるが、ドープ領域 5 4 およびゲート 5 6 からシリコンを過剰に消費してしまうのを防ぐために反応の大きさは十分小さく抑えておく必要がある。

【 0 0 1 4 】 図 4 乃至図 6 に図示されたプロセスはローカルインターコネクト構造を作るための現存の製造プロセスに対していくつかの利点をもっている。本発明の方法にしたがったローカルインターコネクトのパターンニングは製造が容易なプロセスであるだけでなく、電気的な性能も満足できる結果が得られるものである。ローカルインターコネクトを形成するのに用いられる金属を選択的にエッチングすることが可能なので、ローカルインターコネクトのパターンニングは半導体デバイスの他の部分に悪影響を与えることはない。ローカルインターコネクトをパターンニングしてから窒化プロセスを行うので、不所望な金属酸化物、金属オキシ窒化物およびシリサイドがデバイスの絶縁領域上に形成されることがない。例として図 4 においては、サイドウォールスペーサ 5 9 およびフィールド酸化物領域 6 7 からこれらの絶縁材料上に導電性の反応生成物を残すことなしにチタン膜 6 2 を取り除くことができる。すでに説明したように、ローカルインターコネクトをパターンニングする前にチタン膜を窒化する現存のプロセスではチタンと絶縁体領域との間に不所望な反応が生じ、回路の短絡を起こす導電領域が形成されてしまう。本発明の方法ではこのような問題点はない。さらに、熱窒化プロセス中にローカルインターコネクトがシリサイド領域と良好な接触を形成するので、本発明の方法によって形成されたローカルインターコネクトの接触抵抗は十分に低くなる。

【 0 0 1 5 】 本発明の別の実施例が残りの図、図 7 乃至図 9 に図示されている。これらの図は本発明の方法で半導体デバイス上にローカルインターコネクト構造を形成する様々な形態を図示したものである。これらの別実施

例のそれぞれに適した材料には前の実施例で説明したものも含まれる。図 7 は半導体デバイス 7 0 を横断面図で示したものである。半導体デバイス 7 0 では、ローカルインターコネク 7 2 は反対の伝導型を持つ 2 つの領域、N 型ドープ領域 7 3 と P 型ドープ領域 7 4 とを電気的に接続するために使用される。N 型ドープ領域 7 3 および P 型ドープ領域 7 4 は基板 7 5 中不純物が加えられた部分である。ドープ領域は酸化物領域 7 6 によって分離されている。N 型ドープ領域 7 3 を基板中に形成された P ウェル 7 1 の中に配置することでさらに電気的に分離される。必要に応じて、接続抵抗を減らすために N 型ドープ領域 7 3 および P 型ドープ領域 7 4 にシリサイド領域 7 8 を形成することができる。図 7 に図示されたものに類似した構造を CMOS (相補型酸化金属半導体) デバイスの N チャンネルトランジスタおよび P チャンネルトランジスタのソース領域とドレイン領域とを接続するのに使うことが可能であり、それは本発明の方法で製造可能である。基板の 2 つのドープ領域を電気的に接続するのにローカルインターコネク 7 2 を使う代わりに、図 8 に示されるように 2 つの多結晶シリコン領域または反対の伝導型を持つ他の半導体構成要素間をインターコネク 8 2 を使って接続することができる。半導体デバイス 8 0 は基板 8 5 を有し、N 型領域 8 3 および P 型領域 8 4 の 2 つが基板 8 5 上に形成されている。これらの領域は基板 8 5 内またはその上に形成された絶縁膜 8 6 によって基板から絶縁されている。N 型領域 8 3 および P 型領域 8 4 はフィールド酸化物の上に形成された多結晶シリコンの線としてもよい。図示されるように、シリサイド領域 8 8 は領域 8 3、8 4 中に形成してもよいし、またサイドウォールスペーサ 8 7 も領域 8 3、8 4 の側面に形成してもよい。図 8 に示されているローカルインターコネク 7 2 の応用用途の 1 つは、表面チャンネル型の NMOS (N チャンネル MOS) および PMOS (P チャンネル MOS) トランジスタを結合するために、CMOS 回路でゲートとして用いられる多結晶シリコンのシリサイド化された N+ および P+ 領域を接続する用途である。TiN のローカルインターコネク 7 2 は N+ 領域と P+ 領域との間に良好な電気的接続を設けつつ、良好なドープ剤の拡散バリアとして働く。もし N+ 領域と P+ 領域とがシリサイド領域なしで直接接続されていたとすると不所望なダイオードが形成されてしまう。もし N+ 領域と P+ 領域とを接続するのにシリサイド材料だけを用いたとすると、シリサイドはドープ剤拡散の通り道となり、カウンタドープングを引き起こすことになる。カウンタドープングはデバイスの電気特性に重大な不所望な影響を生じさせる。近接した N+ 多結晶シリコン領域と P+ 多結晶シリコン領域とを電気的に接続し、 CoSi_2 を使用すると半導体デバイスの製造の際に行われる典型的な熱プロセスにおいて重大なカウンタドープングが発生する。 TiSi_2 を使用した場合にもカウンタド

ープングは発生するが、 CoSi_2 の場合よりは発生の度合いが少ない。

【0016】本発明のさらに別の実施例としてはあるトランジスタのドープ領域を別のトランジスタ (図示せず) の絶縁ゲートに電気的に接続するのにローカルインターコネク 7 2 を用いる方法がある。図 9 に図示されているように、ローカルインターコネク 9 2 は絶縁ゲート 9 4 を基板 9 6 のドープ領域 9 5 に電気的に接続する。絶縁ゲート 9 4 はフィールド酸化物領域 9 7 上に設けられ、このフィールド酸化物領域 9 4 によって基板 9 6 から分離される。ドープ領域 9 5 はドープ領域 9 5、ドープ領域 9 8 およびゲート 9 9 から構成されるトランジスタのソースまたはドレイン領域とできる。ローカルインターコネク 7 2 は例えば、交差接続された CMOS デバイス、特に SRAM (スタティックラム) セルの交差結合トランジスタにおいてソースまたはドレイン領域を異なったトランジスタのゲートに接続するためによく使われる。そのような応用においては、ローカルインターコネク 7 2 は埋め込みコンタクト構造を代替するものである。前記の実施例において説明されているように、よりよい動作特性を得るためにシリサイド領域 9 3 をシリコンの領域に形成してもよい。

【0017】従って、ここに本発明の方法であって前記効果を達成した半導体装置上にローカルインターコネク 7 2 を製造するプロセスが開示されたことは明らかであろう。本明細書において本発明は特定の実施例において説明されているが、これは本発明の方法を実施例に限定しようとするものではない。当該技術分野に通じたものであれば、本発明の要旨内で変形または変更を施して本発明の方法を実施することが可能であることは理解されよう。例えば、本発明にしたがって形成されるローカルインターコネク 7 2 は半導体装置上のあらゆる 2 つの導電性部材を接続するために使用可能である。つまり、本発明によるローカルインターコネク 7 2 の利用用途は実施例に図示または説明されているものには限定されない。さらに本発明は説明に用いたような基板または導電性材料の使用に限定されるものではなく、チタンや他の金属窒化物がローカルインターコネク 7 2 として使われる全ての材料および全てのプロセスに関係して使用することができる。また本発明の方法ではチタン以外の金属もローカルインターコネク 7 2 を形成するのに使用可能である。例えば、ジルコニウム、ハフニウム、バナジウム、ニオブおよびタンタルの窒化物を使ったインターコネク 7 2 も本発明の方法に従って形成できる。さらに、ここで説明したローカルインターコネク 7 2 の形成方法ではシリサイド化処理を必要としない。また、図に示された半導体装置および各構成部分の寸法は説明のために実際の比率とは違えて図示しており、本発明の方法を限定するものではない。したがって、このような変形および変更に係る実施形態は本発明の特許請求の範囲に含まれるものであ

る。

【図面の簡単な説明】

【図１】図１はローカルインターコネクト構造を製造するための周知のプロセスを説明するために半導体装置の一部を横断面図で示したものである。

【図2】図2はローカルインターコネクト構造を製造するための周知のプロセスを説明するために半導体装置の一部を横断面図で示したものである。

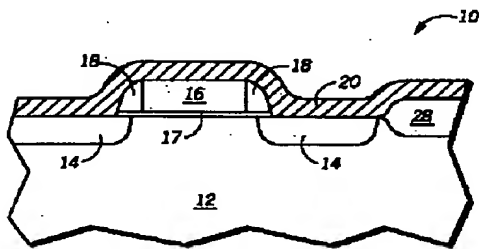
【図3】図3はローカルインターコネクト構造を製造するための周知のプロセスを説明するために半導体装置の一部を横断面図で示したものである。

【図４】図４は本発明にしたがって半導体装置にローカルインターコネクト構造を製造するプロセスを横断面図で示したものである。

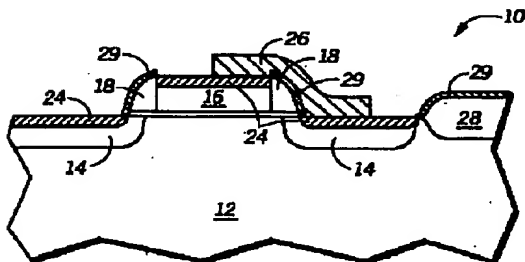
【図5】図5はローカルインターコネクト構造を製造するための周知のプロセスを説明するために半導体装置の一部を横断面図で示したものである。

【図6】図6はローカルインターコネクト構造を製造するための周知のプロセスを説明するために半導体装置の一部を横断面図で示したものである。

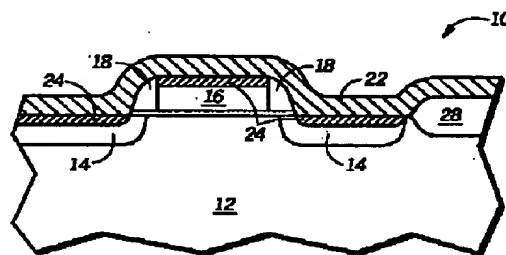
【例 1】



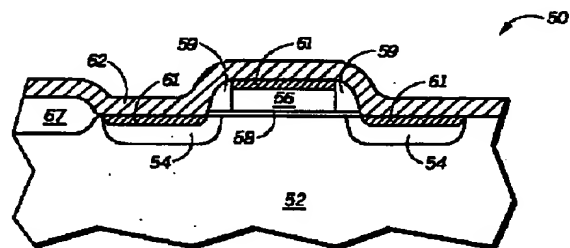
【図 3】



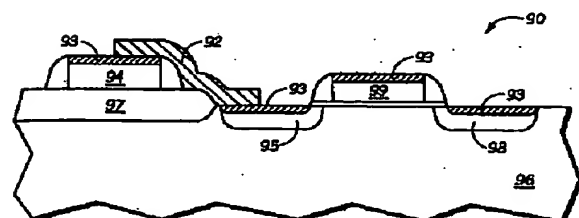
【图 2】



【図 4】



【图 9】



【図 7】 図 7 は本発明の実施例であって反対の伝導型を有する 2 つの領域を電気的に接続するためにローカルインターコネクトが使われる半導体装置の一部を横断面図で示したものである。

【図 8】 図 8 は本発明の実施例であって反対の伝導型を有する 2 つの領域を電気的に接続するためにローカルインターコネクトが使われる半導体装置の一部を横断面図で示したものである。

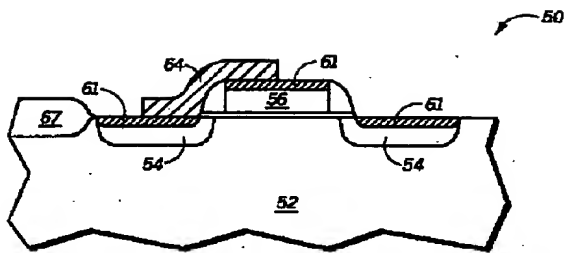
【図 9】図 9 は本発明の実施例であって絶縁ゲートを基板のドーブ領域に電気的に接続するためにローカルインターコネクトが使われる半導体装置の一部を横断面図で示したものである。

【符号の説明】

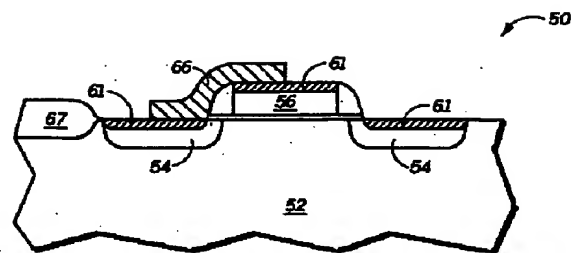
- 5 0 半 導 体 装 置
- 5 4 シリコン領域
- 5.6 シリコン領域
- 6 1 導電性領域、シリサイド領域
- 6 2 金属膜、チタン膜
- 6 4 ストラップ
- 6 6 窒化物インターコネクト

20 6 6 窒化物インターコネクト

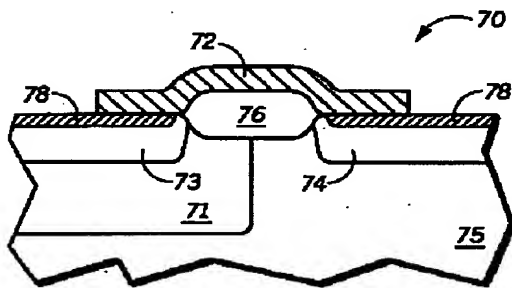
【図 5】



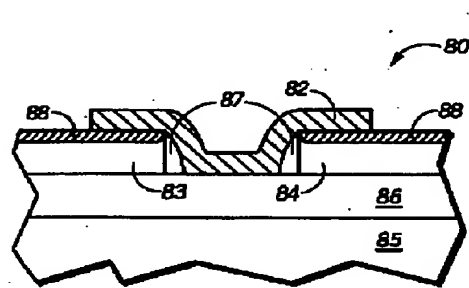
【図 6】



【図 7】



【図 8】



THIS PAGE BLANK (USPTO)